

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2003069010  
PUBLICATION DATE : 07-03-03

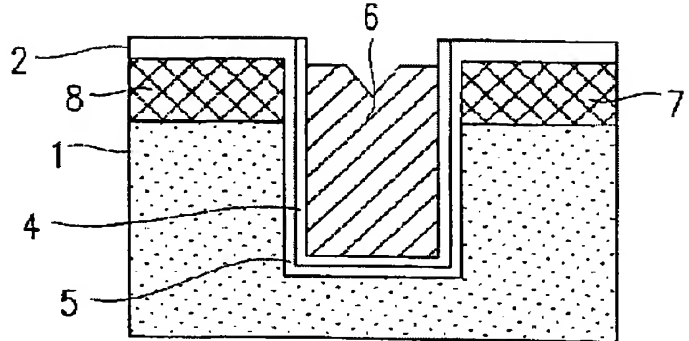
APPLICATION DATE : 24-08-01  
APPLICATION NUMBER : 2001254597

APPLICANT : SHARP CORP;

INVENTOR : UEDA NAOKI;

INT.CL. : H01L 29/78 H01L 21/316 H01L 21/8234  
H01L 27/088

TITLE : SEMICONDUCTOR DEVICE AND  
METHOD OF MANUFACTURING THE  
SAME



**ABSTRACT :** PROBLEM TO BE SOLVED: To provide a semiconductor device in which the thickness of a gate oxide film does not generate a thickness difference on side faces and the bottom face of a groove when the gate oxide film is formed on the bottom face and the side faces of the groove, and in which oxidation of a first-conductivity-type semiconductor substrate is suppressed.

**SOLUTION:** The semiconductor device comprises a MOSFET in which the groove is formed on the first-conductivity semiconductor substrate 1, in which a gate electrode 6 is buried at the inside of the groove via an insulating film, and in which a second-conductivity source diffusion layer 7 and a second-conductivity drain diffusion layer 8 are formed on both sides of the groove with the buried gate electrode 6. The insulation film formed at the inside of the groove is constituted by laminating a first gate oxide film 4 and a second gate oxide film 5 in this order.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-69010

(P2003-69010A)

(43) 公開日 平成15年3月7日 (2003.3.7)

| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I            | サーチコード* (参考)      |
|---------------------------|------|----------------|-------------------|
| H 0 1 L 29/78             |      | H 0 1 L 21/316 | X 5 F 0 4 8       |
| 21/316                    |      | 29/78          | 3 0 1 V 5 F 0 5 8 |
| 21/8234                   |      | 27/08          | 1 0 2 C 5 F 1 4 0 |
| 27/088                    |      |                |                   |

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願2001-254597(P2001-254597)

(22) 出願日 平成13年8月24日 (2001.8.24)

(71) 出願人 000003049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 上田 直樹

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

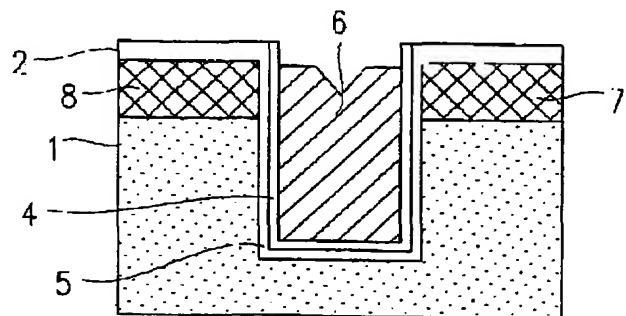
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 溝部の底面および各側面にゲート酸化膜を形成する場合に、ゲート酸化膜の膜厚が、溝部の側面および底面において膜厚差を生じず、第1導電型半導体基板の酸化が抑制される。

【解決手段】 第1導電型シリコン半導体基板1上に溝部が形成されて、その溝部の内面に絶縁膜を介してゲート電極6が埋め込まれ、ゲート電極6が埋め込まれた溝部の両側に第2導電型のソース拡散層7および第2導電型のドレイン拡散層8が形成されたMOSFETを有しており、溝部の内面に形成された絶縁膜が、第1ゲート酸化膜4、第2ゲート酸化膜5の順番に積層されて構成されている。



## 【特許請求の範囲】

【請求項1】 第1導電型半導体基板上の所定の位置に溝部が形成されており、該溝部の内面に、絶縁膜を介して第1のゲート電極が埋め込まれ、該第1のゲート電極が埋め込まれた該溝部の両側に、第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成された第1のMOSFETを有する半導体装置であって、

該溝部の内面に形成された絶縁膜は、第1ゲート酸化膜と第2ゲート酸化膜とが順番に積層されて構成されていることを特徴とする半導体装置。

【請求項2】 前記第1のMOSFETの第2導電型のソース拡散層または第2導電型のドレイン拡散層の少なくとも一方を共有するように、第2のMOSFETが設けられており、該第2のMOSFETは、該第1のMOSFETと共有する第2導電型のソース拡散層または第2導電型のドレイン拡散層の外側に所定の間隔をあけて第2導電型のソース拡散層または第2導電型のドレイン拡散層が形成され、該所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極が形成されている請求項1に記載の半導体装置。

【請求項3】 前記第1のMOSFETの前記第1のゲート電極が埋め込まれた前記溝部の外側に所定の間隔をあけて第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成され、各所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極がそれぞれ形成されている請求項1に記載の半導体装置。

【請求項4】 前記第1ゲート酸化膜の膜厚と第2ゲート酸化膜の膜厚との膜厚比が、ほぼ1:1である請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記第1ゲート酸化膜は、シリコンを含む原料ガスと、酸素を含む原料ガスとの反応によって形成され、第2ゲート酸化膜は、酸化雰囲気ガスより供給される酸化種と、前記第1導電型半導体基板より供給されるシリコン原子との反応によって形成される請求項1～4のいずれかに記載の半導体装置。

【請求項6】 第1導電型半導体基板上の所定の位置に、溝部を設ける領域を形成する工程と、該第1導電型半導体基板上の該溝部を設ける領域をエッチングして、該溝部を形成する工程と、該溝部の内面に第1ゲート酸化膜を形成する工程と、該溝部の内面と該第1ゲート酸化膜との間に第2ゲート酸化膜を形成する工程と、該第1ゲート酸化膜および該第2ゲート酸化膜が内面に形成された該溝部の内部にゲート電極を形成した後に、該溝部が形成された該第1導電型半導体基板を平坦化する工程と、該溝部の両側の該第1導電型半導体基板上に、該第1導電型半導体基板と導電型の異なる第2導電型のソース拡

散層および第2導電型のドレイン拡散層をそれぞれ形成する工程と、

を包含することを特徴とする半導体装置の製造方法。

【請求項7】 前記第1ゲート酸化膜は、CVD法によって形成され、前記第2ゲート酸化膜は、熱酸化法によって形成される請求項6に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、ゲート電極が半導体基板上に設けられた溝部に埋め込まれている半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】半導体集積回路では、高集積化を図るために、半導体基板に対するMOSトランジスタおよびバイポーラトランジスタの占有面積を縮小するための様々な技術が提案されている。例えば、MOSFETでは、ゲート電極を半導体基板上に形成された溝部に埋め込むことによって、MOSFETの半導体基板に対する占有面積を縮小し、さらに、ゲート領域の長さを実効的に長くして、チャネル部を長くすることによって、ショートチャネル効果を抑制した構成が特開昭50-8483号公報に開示されている。この公報の構成では、半導体基板上に溝を形成し、その溝の内面を熱酸化することによって、第1のゲート酸化膜が形成されている。

【0003】図5(a)～(g)は、それぞれ特開昭50-8483号公報に開示された半導体装置の製造方法における各工程を示す断面図である。

【0004】まず、図5(a)に示すように、第1導電型シリコン半導体基板31上にシリコン酸化膜32とシリコン窒化膜33とをそれぞれ順番に積層した後に、シリコン窒化膜33上にフォトリソグラーフによって、第1導電型シリコン半導体基板31上に溝型ゲート電極を形成する領域が開口されるようにフォトリソグラーフをパターニングする。その後、エッチングによって、溝型ゲート電極を形成する領域のシリコン窒化膜33、シリコン酸化膜32を順番に除去し、第1導電型シリコン半導体基板31の表面を露出させる。

【0005】次に、図5(b)に示すように、露出した第1導電型シリコン半導体基板31の表面をエッチングして、溝部を形成する。

【0006】次に、図5(c)に示すように、溝部が形成された第1導電型シリコン半導体基板31を加熱し、酸化種と反応させて溝部の内面に犠牲酸化膜を形成する。その後、溝部が形成された第1導電型シリコン半導体基板31をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を除去する。そして、再度、溝部が形成された第1導電型シリコン半導

体基板31を加熱し、酸化種と反応させて、溝部の表面にゲート酸化膜34を形成する。

【0007】次に、図5(d)に示すように、溝部の内部のゲート酸化膜34を覆うように、ポリシリコンから成るゲート電極35を溝部の中に埋め込むとともに、シリコン窒化膜33上にもゲート電極35を積層する。

【0008】次に、図5(e)に示すように、第1導電型シリコン半導体基板31上のポリシリコンから成るゲート電極35およびシリコン窒化膜33に対して、異方性ドライエッチングまたはCMP (Chemical Mechanical Polishing: 化学的機械研磨) を行って、シリコン窒化膜33上に積層されたゲート電極35を除去するとともに、シリコン窒化膜33も研磨する。

【0009】次に、図5(f)に示すように、溝部以外の領域のゲート電極35を構成するポリシリコンをドライエッチングによって除去し、その後、シリコン窒化膜33も除去する。

【0010】次に、図5(g)に示すように、第1導電型シリコン半導体基板31上のポリシリコンから成るゲート電極35が埋め込まれた溝部の両側に、シリコン酸化膜32上よりイオン注入によって不純物を拡散させる。イオン注入により、シリコン酸化膜32の下方に、第1導電型シリコン半導体基板31と異なる第2導電型のソース拡散層36およびドレイン拡散層37が、第1導電型シリコン半導体基板31上の溝部の両側にそれぞれ形成される。

【0011】また、半導体基板に埋め込まれた溝型ゲート電極を用いる他の例として、隣接するMOSFETのソース電極またはドレイン電極のいずれか一方を共有することにより半導体基板上における1個のMOSFETの占有する面積を小さくする技術がある。

【0012】図6(a)～(f)は、このような例を示す半導体装置の製造方法における各工程を示す断面図である。

【0013】まず、図6(a)に示すように、第1導電型シリコン半導体基板41上に、第2MOSFETを構成する第2ゲート酸化膜42、ポリシリコンから成る第2ゲート電極43およびエッチングマスク材44を順番に積層した。その後、エッチングマスク材44上にフォトレジストを塗布し、フォトリソグラフィーにより第1導電型シリコン半導体基板41上に溝型ゲート電極を形成する領域が開口されるようにフォトレジストをパターンニングする。そして、パターンニングされたフォトレジストをマスクとして、エッチングによって、エッチングマスク材44、第2ゲート電極43、第2ゲート酸化膜42を順番に除去し、第1導電型シリコン半導体基板41の表面を露出させる。

【0014】次に、図6(b)に示すように、第1導電型シリコン半導体基板41の表面が露出した領域をエッ

チングして第2ゲート電極43に対して、マスク合せを行わず自己整合的に溝部を形成する。

【0015】次に、図6(c)に示すように、図5(c)において説明した同様の方法により、第1導電型シリコン半導体基板41に形成された溝部の内面に、第1MOSFETを構成する第1ゲート酸化膜45を形成する。

【0016】次に、図6(d)に示すように、溝部の内部の第1ゲート酸化膜45を覆うように、ポリシリコンから成る第1ゲート電極46を溝部の中に埋め込むとともに、エッチングマスク材44上にも第1ゲート電極46を積層する。

【0017】次に、図6(e)に示すように、溝部以外の領域の第1ゲート電極46を構成するポリシリコンをドライエッチングによって除去する。この時、溝部に埋め込まれた第1ゲート電極46は、溝部の開口部から所定の深さまで除去される。その後、溝部の第1ゲート電極46が除去された相互に対向する各側壁に対して、矢印にて示すように、斜め上方から不純物をイオン注入する。

【0018】これにより、図6(f)に示すように、溝部内面を覆う第1ゲート酸化膜45の外側における第1導電型シリコン半導体基板41内の相互に対向する各領域に、第1導電型シリコン半導体基板41とは導電型の異なる第2導電型のドレイン拡散層49およびソース拡散層50がそれぞれ形成される。さらに、溝部の両側の第2ゲート酸化膜42、第2ゲート電極43およびエッチングマスク材44が順番に積層された領域のさらに外側の各領域に不純物をそれぞれイオン注入する。これにより、第1導電型シリコン半導体基板41とは導電型の異なる第2導電型のドレイン拡散層48、ソース拡散層47が第2ゲート酸化膜42、第2ゲート電極43およびエッチングマスク材44の積層領域の両側にそれぞれ形成される。さらに、図6(e)において、不純物をイオン注入するために、第1ゲート電極46が溝部の開口部から所定の深さまで除去された部分に、ポリシリコンが埋め込まれて、第1ゲート電極46が溝部の開口部近傍まで形成される。

【0019】これにより、第2MOSFETが、第2導電型のドレイン拡散層48、第2ゲート電極43、第2導電型のソース拡散層50、および、第2導電型のドレイン拡散層49、第2ゲート電極43、第2導電型のソース拡散層47から構成され、第1MOSFETが、第2導電型のドレイン拡散層49、第1ゲート電極46、第2導電型のソース拡散層50から構成される。そして、第2導電型のドレイン拡散層48、第2ゲート電極43、第2導電型のソース拡散層50から構成される第2MOSFETと、第1MOSFETとは、第2導電型のソース拡散層50が共有され、第2導電型のドレイン拡散層49、第2ゲート電極43、第2導電型のソース

拡散層47から構成される第2MOSFETと、第1MOSFETとは、第2導電型のドレイン拡散層49が共有される。

【0020】このように、第1MOSFETと第2MOSFETとは、共有される領域（電極）である第2導電型のドレイン拡散層49およびソース拡散層50において、接続されるために、半導体基板上に多数のメモリセル等を形成する場合には、微細化に有利となる。

【0021】

【発明が解決しようとする課題】しかしながら、図5（g）に示す第1の従来例では、使用される第1導電型シリコン半導体基板31の表面の面方位が（100）面に制御されている場合、第1導電型シリコン半導体基板31の表面からのエッチングによって形成された溝部の側面の面方位は、（110）面の面方位に近くなっている。このため溝部の側面の面方位が（110）面の面方位に近い状態で、ゲート酸化膜34を熱酸化法を用いて溝部の底面および各側面に形成した場合、溝部の底面に形成されるゲート酸化膜34の膜厚と溝部の側面に形成されるゲート酸化膜34の膜厚とは、成膜条件（酸化雰囲気、酸化温度等）にも依るが、30～100%の膜厚の差が生じる。このように、溝部の底面および側面に形成されるゲート酸化膜34の膜厚に差が生じる理由としては、熱酸化膜の酸化レートが第1導電型シリコン半導体基板31表面の面方位に対して依存性を有しているためであり、熱酸化膜の酸化レートが第1導電型シリコン半導体基板31表面の面方位に対して依存性を有しているのは、第1導電型シリコン半導体基板31表面の面方位上におけるシリコン原子の面密度の差によるものであるということが知られている。

【0022】溝部の底面に形成されるゲート酸化膜34が所定の膜厚になるように成膜条件の制御を行うと、溝部の側面に形成されるゲート酸化膜の膜厚が、溝部の底面に形成されるゲート酸化膜の膜厚に対して、130～200%まで増加して、溝部の側面および底面の部分をチャンネルとして使用するMOSFETの駆動特性が悪化するという問題がある。

【0023】また、図6（f）に示す第2の従来例では、平面状の第1導電型シリコン半導体基板41の表面に先に形成された第2MOSFETの第2ゲート電極43に対してマスク合せを行わず自己整合的に形成された溝部の内部に、熱酸化により第1ゲート酸化膜45を形成し、その上に第1ゲート電極46を埋め込むことにより第1MOSFETが形成されている。この場合、図6（c）に示すように、溝部内に第1ゲート酸化膜45を形成する際に、第1ゲート酸化膜45が第2ゲート酸化膜42の下方の溝部に近接した第1導電型シリコン半導体基板41、および、第2ゲート酸化膜42の上方の溝部に近接したポリシリコンから成る第2ゲート電極43を酸化することになる。その結果、第2MOSFET

の第2ゲート酸化膜42の膜厚が、溝部側に接近するにつれて順次厚くなり第2MOSFETの駆動特性を劣化させるおそれがある。

【0024】本発明は、このような課題を解決するものであり、その目的は、半導体基板上に設けられた溝部の底面および各側面に形成されたゲート酸化膜の膜厚が、溝部の側面および底面において膜厚差を生じず、溝部の内部にゲート酸化膜が形成される際に、半導体基板および溝部の外側のゲート電極の酸化が抑制される半導体装置およびその製造方法を提供することにある。

【0025】

【課題を解決するための手段】本発明の半導体装置は、第1導電型半導体基板上の所定の位置に溝部が形成されており、該溝部の内面に、絶縁膜を介して第1のゲート電極が埋め込まれ、該第1のゲート電極が埋め込まれた該溝部の両側に、第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成された第1のMOSFETを有する半導体装置であって、該溝部の内面に形成された絶縁膜は、第1ゲート酸化膜と第2ゲート酸化膜とが順番に積層されて構成されていることを特徴とする。

【0026】前記第1のMOSFETの第2導電型のソース拡散層または第2導電型のドレイン拡散層の少なくとも一方を共有するように、第2のMOSFETが設けられており、該第2のMOSFETは、該第1のMOSFETと共有する第2導電型のソース拡散層または第2導電型のドレイン拡散層の外側に所定の間隔をあけて第2導電型のソース拡散層または第2導電型のドレイン拡散層が形成され、該所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極が形成されている。

【0027】前記第1のMOSFETの前記第1のゲート電極が埋め込まれた前記溝部の外側に所定の間隔をあけて第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成され、各所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極がそれぞれ形成されている。

【0028】前記第1ゲート酸化膜の膜厚と第2ゲート酸化膜の膜厚との膜厚比が、ほぼ1：1である。

【0029】前記第1ゲート酸化膜は、シリコンを含む原料ガスと、酸素を含む原料ガスとの反応によって形成され、第2ゲート酸化膜は、酸化雰囲気ガスより供給される酸化種と、前記第1導電型半導体基板より供給されるシリコン原子との反応によって形成される。

【0030】本発明の半導体装置の製造方法は、第1導電型半導体基板上の所定の位置に、溝部を設ける領域を形成する工程と、該第1導電型半導体基板上の該溝部を設ける領域をエッチングして、該溝部を形成する工程と、該溝部の内面に第1ゲート酸化膜を形成する工程と、該溝部の内面と該第1ゲート酸化膜との間に第2ゲ

ート酸化膜を形成する工程と、該第1ゲート酸化膜および該第2ゲート酸化膜が内面に形成された該溝部の内部にゲート電極を形成した後に、該溝部が形成された該第1導電型半導体基板を平坦化する工程と、該溝部の両側の該第1導電型半導体基板上に、該第1導電型半導体基板と導電型の異なる第2導電型のソース拡散層および第2導電型のドレイン拡散層をそれぞれ形成する工程と、を包含することを特徴とする。

【0031】前記第1ゲート酸化膜は、CVD法によって形成され、前記第2ゲート酸化膜は、熱酸化法によって形成される。

【0032】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0033】図1は、本発明の第1の実施形態である半導体装置の要部の断面図である。図1に示す半導体装置は、第1導電型シリコン半導体基板1上の所定の位置に、所定の深さの溝部が形成されている。溝部の内部の各側面および底面には、第1ゲート酸化膜4および第2ゲート酸化膜5がそれぞれ順番に積層されている。第1ゲート酸化膜4上には、ポリシリコンから成るゲート電極6が溝部の開口部近傍まで埋め込まれている。

【0034】溝部の両側における第1導電型シリコン半導体基板1上部には、第1導電型シリコン半導体基板1とは導電型の異なる第2導電型のドレイン拡散層8および第2導電型のソース拡散層7がそれぞれ形成されており、第2導電型のドレイン拡散層8上および第2導電型のソース拡散層7上には、シリコン酸化膜2がそれぞれ積層されている。

【0035】図2(a)～(h)は、本発明の第1の実施形態の半導体装置の製造方法における各工程を示す断面図である。

【0036】まず、図2(a)に示すように、第1導電型シリコン半導体基板1上に、ウェル層(図示せず)および素子分離領域(図示せず)を形成して、厚さ5～20nm程度のシリコン酸化膜2と、厚さ100～200nm程度のシリコン窒化膜3とをそれぞれ順番に積層した後に、シリコン窒化膜3上にフォトリソグロフィーによって、第1導電型シリコン半導体基板1上に溝型ゲート電極を形成する領域が開口されるように、フォトリソグロフィーをパターンニングする。その後、エッチングによって、溝型ゲート電極を形成する領域のシリコン窒化膜3、シリコン酸化膜2を順番に除去し、第1導電型シリコン半導体基板1の表面を露出させる。

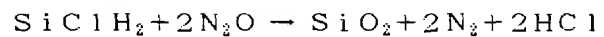
【0037】次に、図2(b)に示すように、露出した第1導電型シリコン半導体基板1の表面をエッチングして、深さ100～500nmの溝部を形成する。

【0038】次に、図2(c)に示すように、溝部が形成された第1導電型シリコン半導体基板1を加熱し、酸

化種と反応させて溝部の内部に、厚さ5～30nmの犠牲酸化膜を形成する。この犠牲酸化膜の厚さは、50nm程度が望ましい。その後、溝部が形成された第1導電型シリコン半導体基板1をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を完全に除去する。その後、再度、溝部が形成された第1導電型シリコン半導体基板1を加熱し、第1導電型シリコン半導体基板1の表面において、シリコン(Si)を含有するSiClH<sub>2</sub>等のガスと酸素を含むN<sub>2</sub>O等のガスとを反応させて、または、シリコン(Si)を含有するSiClH<sub>2</sub>等のガスとH<sub>2</sub>O<sub>2</sub>等の液体とを反応させて、溝部の内部に第1ゲート酸化膜4を形成する。

【0039】第1ゲート酸化膜4は、例えばCVD(Chemical Vapor Deposition)法により、高温状態において、次の反応式より得られる。

【0040】



第1ゲート酸化膜4の膜厚は、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であることが望ましい。

【0041】次に、図2(d)に示すように、さらに、酸化雰囲気ガスより酸化種を供給しつつ溝部が形成された第1導電型シリコン半導体基板1を加熱することにより、第1導電型シリコン半導体基板1内の第1ゲート酸化膜4にて覆われた溝部の内面のシリコン(Si)と酸化種とを反応させて、溝部の内面に第2ゲート酸化膜5を形成する。第2ゲート酸化膜5は、溝部の内面と第1ゲート酸化膜4との間に形成される。この場合、第1導電型シリコン半導体基板1の加熱温度は800℃～1100℃、酸化種には、Dry O<sub>2</sub>を使用することが好ましい。また、第2ゲート酸化膜5の膜厚も、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であり、第1ゲート酸化膜4の膜厚と第2ゲート酸化膜5の膜厚との膜厚比がほぼ1:1であることが望ましい。

【0042】ここで、第1ゲート酸化膜4の膜厚と第2ゲート酸化膜5の膜厚との膜厚比をほぼ等しくする理由を説明する。第1ゲート酸化膜4は、溝部の内部の第1導電型シリコン半導体基板1の表面に堆積するために、第1導電型シリコン半導体基板1の表面の面方位および面粗さの状態に対して、比較的酸化膜の成膜の状況が安定しているが、酸化膜自体の結合力が弱い場合がある。一方、第2ゲート酸化膜5は、溝部の内部の第1導電型シリコン半導体基板1のシリコン表面を、直接、酸化膜の組成に変質させるために、酸化膜自体の結合力が強く、シリコン基板との界面特性は優れているが、第1導電型シリコン半導体基板1の表面の面方位等の状態に成膜状態が影響されやすい傾向がある。このため、第1ゲ



ート酸化膜4の膜厚および第2ゲート酸化膜5の膜厚をほぼ同じ膜厚にして、溝部にゲート酸化膜4および5を形成することによって、溝部のゲート酸化膜4および5は、それぞれ酸化膜自体の結合力が強くなるとともに、シリコン基板の表面の面方位等の状態に成膜状態が影響されにくくなり、溝部の各側面と底面とにおいて、膜厚差が生じなくなる。

【0043】製造されるMOSFETの溝部の内部のゲート酸化膜の膜厚は、MOSFETの要求仕様によって、1～20nmの範囲とされる。

【0044】次に、図2(e)に示すように、溝部の内部の第1ゲート酸化膜4を覆うように、ポリシリコンから成るゲート電極6を溝部の内部に埋め込むとともに、シリコン窒化膜3上にもポリシリコンから成るゲート電極6を積層する。

【0045】次に、図2(f)に示すように、第1導電型シリコン半導体基板1上のポリシリコンから成るゲート電極6およびシリコン窒化膜3に対して、異方性ドライエッチングまたはCMP(Chemical Mechanical Polishing: 化学的機械研磨)を行って、シリコン窒化膜3上に積層されたゲート電極6を除去するとともに、シリコン窒化膜3も研磨して、平坦化する。

【0046】ここで、異方性ドライエッチングを用いて平坦化する場合、溝部に埋め込むゲート電極6の堆積させる膜厚は、溝部の幅の最大値の0.6倍以上であることが望ましい。また、CMP法(化学的機械研磨法)を用いて平坦化する場合、溝部に埋め込むゲート電極6の堆積させる膜厚は、溝部の深さの最大値よりも厚く堆積させることが望ましい。

【0047】次に、図2(g)に示すように、溝部以外の領域のゲート電極6を構成するポリシリコンをドライエッチングによって除去し、その後、溝部の両側のシリコン窒化膜3も除去する。

【0048】次に、図2(h)に示すように、第1導電型シリコン半導体基板1上のポリシリコンから成るゲート電極6が埋め込まれた溝部の両側に、シリコン酸化膜2上よりイオン注入によって不純物を拡散させる。これにより、シリコン酸化膜2の下方に、第1導電型シリコン半導体基板1と異なる第2導電型のソース拡散層7およびドレイン拡散層8が、第1導電型シリコン半導体基板1上の溝部の両側にそれぞれ形成される。尚、第1導電型シリコン半導体基板1上の第2導電型のソース拡散層7およびドレイン拡散層8は、第1導電型シリコン半導体基板1の表面に溝部を形成する前に形成しても良い。

【0049】これにより、第1導電型シリコン半導体基板1上に、ドレイン拡散層8、ゲート電極6、ソース拡散層7、第1ゲート酸化膜4、第2ゲート酸化膜5を有するMOSFETが形成される。このMOSFETは、

溝部内部の各側面および底面に同一膜厚の第1ゲート酸化膜4および第2ゲート酸化膜5が形成されることによって、良好なスイッチング特性が得られる。

【0050】図3(a)および(b)は、本発明の第2の実施形態である半導体装置の要部の断面図である。図3(a)に示す半導体装置は、第1導電型シリコン半導体基板21上の所定の位置に、所定の深さの溝部が形成されている。溝部の内部の各側面および底面には、第1ゲート酸化膜25および第2ゲート酸化膜26が順番に積層されている。第1ゲート酸化膜25上には、ポリシリコンから成る第1ゲート電極27が溝部の開口部近傍まで埋め込まれている。

【0051】溝部内面を覆う第1ゲート酸化膜25および第2ゲート酸化膜26の外側における第1導電型シリコン半導体基板21内の相互に対向する各領域に、第1導電型シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bがそれぞれ形成されている。さらに、第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bから所定の間隔で第2導電型のソース拡散層28および第2導電型のドレイン拡散層29がそれぞれ形成されている。

【0052】第2導電型のドレイン拡散層29と第2導電型のソース拡散層30bとの間、および、第2導電型のソース拡散層28と第2導電型のドレイン拡散層30aとの間の第1導電型半導体基板1上には、第3ゲート酸化膜22、第2ゲート電極23、シリコン窒化膜24がそれぞれ順番に積層されている。

【0053】尚、図3(b)に示すように、図3(a)の半導体装置における第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bを形成しないようにしてもよい。

【0054】図4(a)～(g)は、図3(a)に示す本発明の第2の実施形態の半導体装置の製造方法における各工程を示す断面図である。まず、図4(a)に示すように、第1導電型シリコン半導体基板21上に、第2MOSFETを構成する第3ゲート酸化膜22、ポリシリコンから成る第2ゲート電極23およびシリコン窒化膜24を順番に積層した後に、シリコン窒化膜24上にフォトリソグロフィーにより第1導電型シリコン半導体基板21上に第1MOSFETを構成する溝型ゲート電極を形成する領域が開口されるようにフォトリソをパターニングする。そして、パターニングされたフォトリソをマスクとして、エッチングによって、シリコン窒化膜24、第2ゲート電極23、第3ゲート酸化膜22を順番に除去し、第1導電型シリコン半導体基板21の表面を露出させる。

【0055】次に、図4(b)に示すように、第1導電型シリコン半導体基板21の表面が露出した領域をエッチングして第2ゲート電極23に対してマスク合せを行

なわず自己整合的に溝部を形成する。

【0056】次に、図4(c)に示すように、溝部が形成された第1導電型シリコン半導体基板21を加熱し、酸化種と反応させて溝部の表面に、犠牲酸化膜を形成する。この犠牲酸化膜の厚さは、50nm程度が望ましい。その後、溝部が形成された第1導電型シリコン半導体基板21をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を完全に除去する。その後、再度、溝部が形成された第1導電型シリコン半導体基板21を加熱し、第1導電型シリコン半導体基板21の表面において、シリコン(Si)を含有する $\text{SiClH}_2$ 等のガスと酸素を含む $\text{N}_2\text{O}$ 等のガスとを反応させて、または、シリコン(Si)を含有する $\text{SiClH}_2$ 等のガスと $\text{H}_2\text{O}_2$ 等の液体とを反応させて、溝部の表面に第1ゲート酸化膜25を形成する。

【0057】第1ゲート酸化膜25は、例えばCVD (Chemical Vapor Deposition) 法により、高温状態において、次の反応式より得られる。

【0058】

$\text{SiClH}_2 + 2\text{N}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{N}_2 + 2\text{HCl}$   
第1ゲート酸化膜25の膜厚は、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であることが望ましい。

【0059】次に、図4(d)に示すように、酸化雰囲気ガスより酸化種を供給しつつ溝部が形成された第1導電型シリコン半導体基板21をさらに加熱することにより、第1導電型シリコン半導体基板21内の第1ゲート酸化膜25にて覆われた溝部の内面のシリコン(Si)と酸化種とを反応させて、溝部の内面に第2ゲート酸化膜26を形成する。第2ゲート酸化膜26は、溝部の内面と第1ゲート酸化膜25との間に形成される。この場合、第1導電型シリコン半導体基板21の加熱温度は800℃～1100℃、酸化種には、Dry  $\text{O}_2$ を使用することが好ましい。また、第2ゲート酸化膜26の膜厚も、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であり、第1ゲート酸化膜25の膜厚と第2ゲート酸化膜26の膜厚との膜厚比は、ほぼ1:1であることが望ましい。これにより、溝部の内部に第2ゲート酸化膜26を形成する際に、第2ゲート酸化膜26が第3ゲート酸化膜22の下方の溝部に近接した第1導電型シリコン半導体基板21、および、第3ゲート酸化膜22の上方の溝部に近接したポリシリコンから成る第2ゲート電極23を酸化することを抑制し、第3ゲート酸化膜22の膜厚が溝部側に接近するにつれて順次厚くなることが防止される。

【0060】ここで、第1ゲート酸化膜25の膜厚と第2ゲート酸化膜26の膜厚との膜厚比をほぼ等しくする

理由を説明する。第1ゲート酸化膜25は、溝部の内部のシリコン基板の表面に堆積するために、シリコン基板の表面の面方位および面粗さの状態に対して、比較的酸化膜の成膜の状況が安定しているが、酸化膜自体の結合力が弱い場合がある。一方、第2ゲート酸化膜26は、溝部の内部のシリコン基板のシリコン表面を、直接、酸化膜の組成に変質させるために、酸化膜自体の結合力が強く、シリコン基板との界面特性に優れているが、シリコン基板の表面の面方位等の状態に成膜状態が影響されやすい傾向がある。このため、第1ゲート酸化膜25の膜厚および第2ゲート酸化膜26の膜厚をほぼ同じ膜厚にして、溝部内にゲート酸化膜25および26を形成することによって、溝部のゲート酸化膜25および26は、それぞれ酸化膜自体の結合力が強くなるとともに、シリコン基板の表面の面方位等の状態に成膜状態が影響されにくくなり、溝部の側面と底面とにおいて、膜厚差が生じなくなる。

【0061】製造されるMOSFETの溝部のゲート酸化膜の膜厚は、MOSFETの要求仕様によって、1～20nmの範囲とされる。

【0062】次に、図4(e)に示すように、溝部の内部の第1ゲート酸化膜25を覆うように、ポリシリコンから成る第1ゲート電極27を溝部の内部に埋め込むとともに、シリコン窒化膜24上にもポリシリコンから成る第1ゲート電極27を積層する。

【0063】次に、図4(f)に示すように、第1導電型シリコン半導体基板21上のポリシリコンから成る第1ゲート電極27およびシリコン窒化膜24に対して、異方性ドライエッチングまたはCMP (Chemical Mechanical Polishing: 化学的機械研磨)を行って、シリコン窒化膜24上に積層された第1ゲート電極27を除去するとともに、シリコン窒化膜24も研磨して、平坦化する。さらに、溝部以外の領域の第1ゲート電極27を構成するポリシリコンをドライエッチングによって除去する。この時、溝部に埋め込まれた第1ゲート電極27は、溝部の開口部から所定の深さまで除去される。その後、溝部の第1ゲート電極27が除去された相互に対向する各側壁に対して、矢印にて示すように、斜め上方から不純物をイオン注入する。

【0064】これにより、図4(g)に示すように、溝部内面を覆う第1ゲート酸化膜25の膜厚および第2ゲート酸化膜26の外側における第1導電型シリコン半導体基板21内の相互に対向する各領域に、第1導電型シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層30aおよびソース拡散層30bがそれぞれ形成される。その後、溝部の両側の第3ゲート酸化膜22、第2ゲート電極23およびシリコン窒化膜24が順番に積層された領域のさらに外側の各領域に、不純物をそれぞれイオン注入する。これにより、第1導電型



シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層29、ソース拡散層28が第3ゲート酸化膜22、第2ゲート電極23およびシリコン窒化膜24の積層領域の両側にそれぞれ形成される。さらに、図4(e)において不純物をイオン注入するために、第1ゲート電極27が溝部の開口部から所定の深さまで除去された部分に、ポリシリコンを埋め込み、第1ゲート電極27が溝部の開口部近傍まで形成される。尚、第1導電型シリコン半導体基板21上の第2導電型のソース拡散層28およびドレイン拡散層29は、第1導電型シリコン半導体基板21の表面に溝部を形成する前に形成しても良い。

【0065】これにより、第2MOSFETの第3ゲート酸化膜22の膜厚が溝部側に接近するにつれて順次厚くなることを防止し、駆動特性が良好な第2MOSFETが得られる。第2MOSFETが、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層30b、および、第2導電型のドレイン拡散層30a、第2ゲート電極23、第2導電型のソース拡散層28から構成され、第1MOSFETが、第2導電型のドレイン拡散層30a、第1ゲート電極27、第2導電型のソース拡散層30bから構成される。そして、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層30bから構成される第2MOSFETと、第1MOSFETとは、第2導電型のソース拡散層30bが共有され、第2導電型のドレイン拡散層30a、第2ゲート電極23、第2導電型のソース拡散層28から構成される第2MOSFETと、第1MOSFETとは、第2導電型のドレイン拡散層30aが共有される。

【0066】このように、第1MOSFETと第2MOSFETとは、共有される領域(電極)である第2導電型のドレイン拡散層30aおよびソース拡散層30bにおいて、接続されるために、半導体基板上に多数のメモリセル等を形成する場合には、微細化に有利となる。

【0067】図4(a)～(g)には、図3(a)に示す半導体装置の製造工程を示したが、図3(a)の半導体装置における第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bが形成されていない図3(b)に示す半導体装置も、同様に製造できる。

【0068】図3(b)に示す半導体装置のMOSFETは、第2導電型のドレイン拡散層29、第2導電型のソース拡散層28、第2ゲート電極23、第1ゲート電極27を有しており、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層28から構成される第2MOSFETと、第2導電型のドレイン拡散層29、第1ゲート電極27、第2導電型のソース拡散層28から構成される第1MOSFETとは、並列接続の状態となり、それぞれの第2ゲート電極23および第1ゲート電極27のいずれかが選択ゲート

として機能する。したがって、図3(b)に示す半導体装置におけるMOSFETの構成を、半導体基板上に繰り返して作製することにより、メモリセルまたはシフトレジスタが形成できる。

#### 【0069】

【発明の効果】本発明の半導体装置は、第1導電型半導体基板上に溝部が形成されて、その溝部の内面に絶縁膜を介して第1のゲート電極が埋め込まれ、その第1のゲート電極が埋め込まれた溝部の両側に第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成された第1のMOSFETを有しており、溝部の内面に形成された絶縁膜が、第1ゲート酸化膜、第2ゲート酸化膜の順番に積層されて構成されていることによって、溝部の内部にゲート酸化膜を形成する場合に、ゲート酸化膜の膜厚が、溝部の側面および底面において、膜厚差を生じないようにするとともに、第1導電型半導体基板の酸化も抑制できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態である半導体装置の要部の断面図である。

【図2】(a)～(h)は、それぞれ本発明の第1の実施形態である図1に示す半導体装置の製造方法における各工程を示す断面図である。

【図3】(a)および(b)は、それぞれ本発明の第2の実施形態である半導体装置の要部の断面図である。

【図4】(a)～(g)は、それぞれ本発明の第2の実施形態である図3(a)に示す半導体装置の製造方法における各工程を示す断面図である。

【図5】(a)～(g)は、それぞれ従来の半導体装置の製造方法における各工程を示す断面図である。

【図6】(a)～(f)は、それぞれ従来の他の半導体装置の製造方法における各工程を示す断面図である。

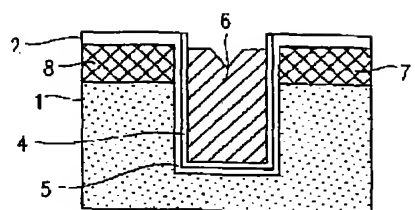
#### 【符号の説明】

- 1 第1導電型半導体基板
- 2 シリコン酸化膜
- 3 シリコン窒化膜
- 4 第1ゲート酸化膜
- 5 第2ゲート酸化膜
- 6 ゲート電極
- 7 ソース拡散層
- 8 ドレイン拡散層
- 21 第1導電型半導体基板
- 22 第3ゲート酸化膜
- 23 第2ゲート電極
- 24 シリコン窒化膜
- 25 第1ゲート酸化膜
- 26 第2ゲート酸化膜
- 27 第1ゲート電極
- 28 ソース拡散層
- 29 ドレイン拡散層

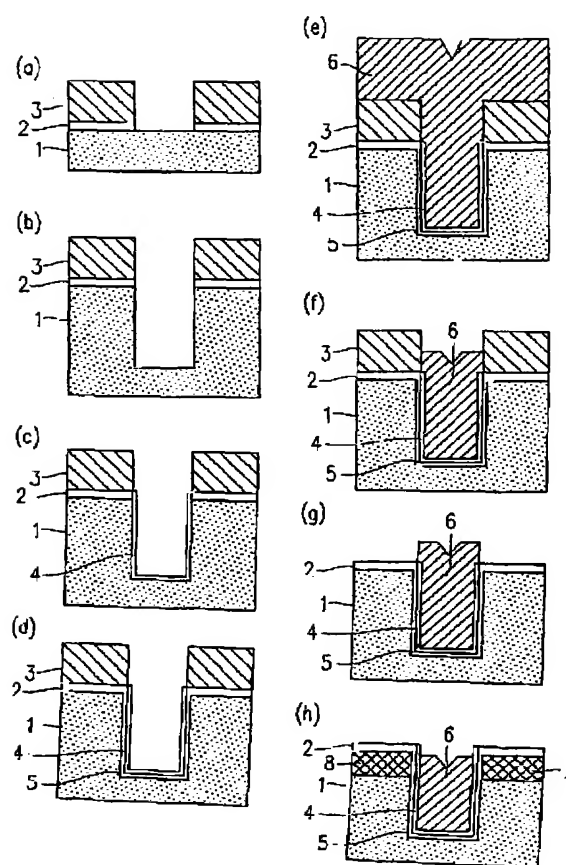
30a ドレイン拡散層  
30b ソース拡散層  
31 第1導電型半導体基板  
32 シリコン酸化膜  
33 シリコン窒化膜  
34 ゲート酸化膜  
35 ゲート電極  
36 ソース拡散層  
37 ドレイン拡散層  
41 第1導電型半導体基板

42 第2ゲート酸化膜  
43 第2ゲート電極  
44 エッチングマスク材  
45 第1ゲート酸化膜  
46 第1ゲート電極  
47 ソース拡散層  
48 ドレイン拡散層  
49 ドレイン拡散層  
50 ソース拡散層

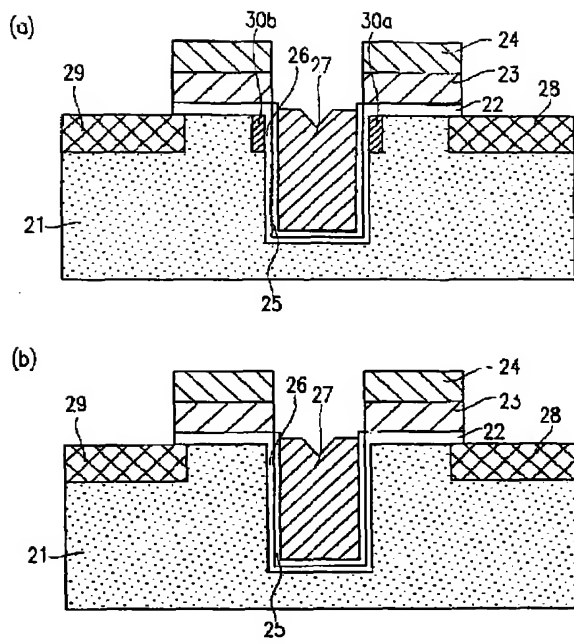
【図1】



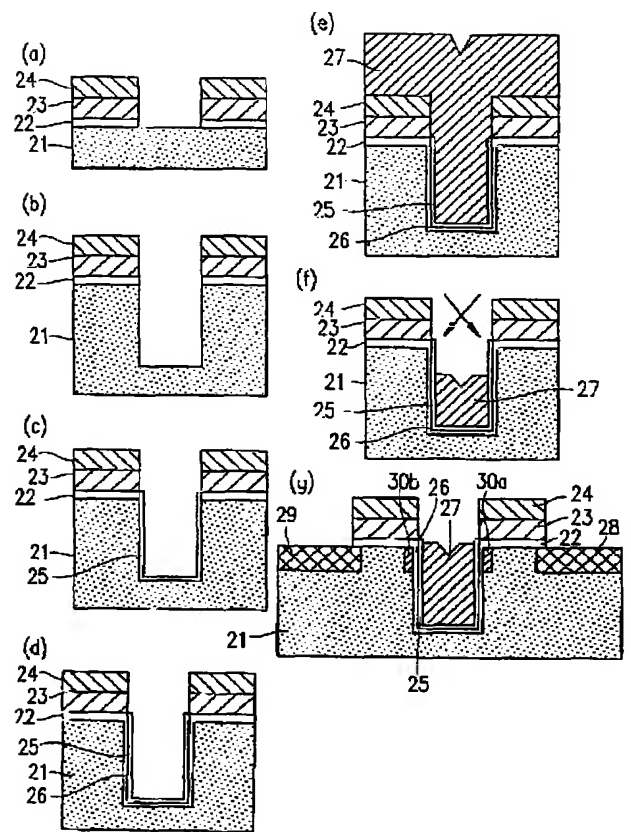
【図2】



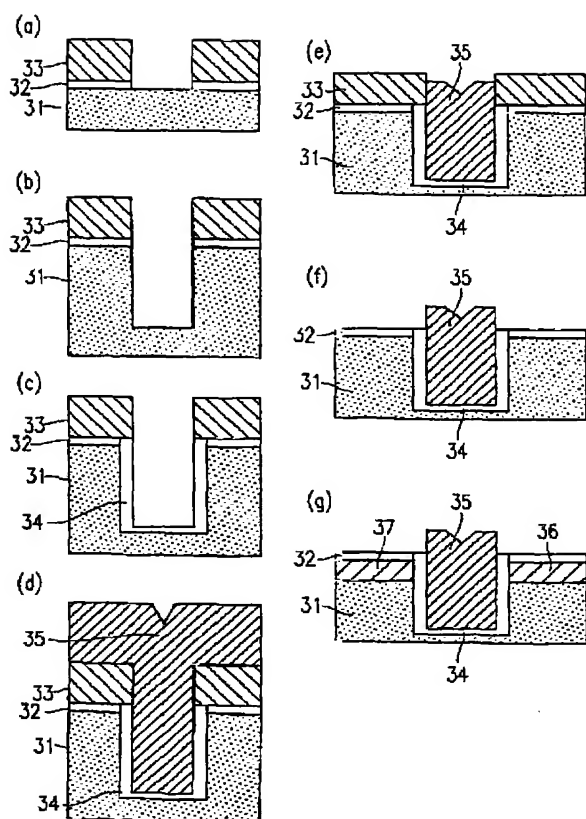
【図3】



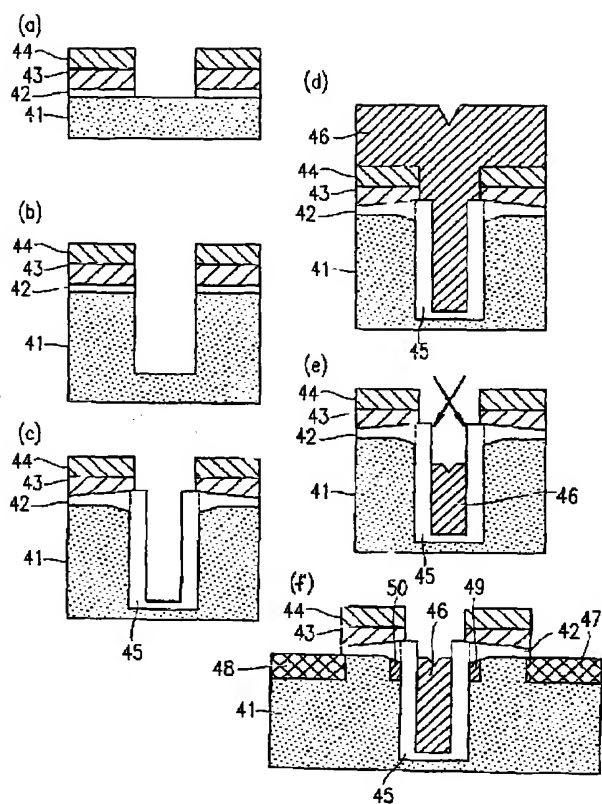
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 5F048 AB01 AC01 BA01 BA19 BB02  
 BB05 BB12 BB19 BC03 BD06  
 5F058 BA20 BD01 BD04 BD10 BF24  
 BF29 BF55 BF56 BF62  
 5F140 AB01 AC32 BA01 BA20 BB02  
 BB06 BD01 BD05 BD06 BD15  
 BE01 BE03 BE07 BE10 BF01  
 BF04 BF43 BF46 BG38 BG40  
 BK13 BK14